



Docket No.: 492322017500

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Kazutomo GOSHIMA et al.

Application No.: 10/816,188

Group Art Unit: 2811

Filed: April 2, 2004

Examiner: Not Yet Assigned

For: SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT

Commissioner for Patents
2011 South Clark Place
Room 1B03, Crystal Plaza 2
Arlington, Virginia, 22202

Sir:

Applicants hereby claim priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2003-102692	April 7, 2003

In support of this claim, a certified copy of the original foreign application is filed herewith.

Dated: August 13, 2004

Respectfully submitted,

By 

Barry E. Bretschneider

Registration No.: 28,055
MORRISON & FOERSTER LLP
1650 Tysons Blvd, Suite 300
McLean, Virginia 22102
(703) 760-7743

49232-201100

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 4月 7日
Date of Application:

出願番号 特願2003-102692
Application Number:
[JP 2003-102692]
ST. 10/C]:

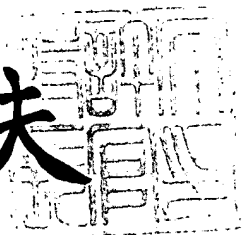
願 人 三洋電機株式会社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2003年10月16日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 KGA1030034

【提出日】 平成15年 4月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/06
H01L 29/78

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 五嶋 一智

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 谷口 敏光

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 大古田 敏幸

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 0 3 - 3 8 3 7 - 7 7 5 1 知的財産センター東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 P 型の半導体基板と、

前記半導体基板の表面に形成され、その中に P チャネル型トランジスタが形成される N ウエルと、

前記 N ウエルの中に形成され、その中に N チャネル型トランジスタが形成される P ウエルと、を有し、前記 N ウエルを縦型 N P N バイポーラトランジスタのコレクタとして用いることを特徴とする半導体装置。

【請求項 2】 前記 P ウエルを縦型 N P N バイポーラトランジスタのベースとして用いることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記 P ウエルを横型 N P N バイポーラトランジスタのベースとして用いることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記 N ウエル中にこの N ウエルより浅い第 2 の N ウエルを形成し、この第 2 の N ウエルを縦型 P N P バイポーラトランジスタのベースとして用いることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記 N ウエル中にこの N ウエルより浅い第 2 の N ウエルを形成し、この第 2 の N ウエルを横型 P N P バイポーラトランジスタのベースとして用いることを特徴とする請求項 1 記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に、同一の半導体基板上に MOS トランジスタとバイポーラトランジスタとを有した半導体装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、アナログ回路とデジタル回路を集積化した、アナログ・デジタル混載 L S I が開発されている。係る L S I では、アナログ回路については主としてバイポーラトランジスタで構成し、デジタル回路について MOS トランジスタで構成

している。そして、MOSトランジスタとバイポーラトランジスタとを同一の半導体基板上に形成する場合には、通常、バイポーラプロセスとCMOSプロセスとを組み合わせたBiCMOSプロセスが用いられている。

【0003】

従来、BiCMOSプロセスでは、CMOSプロセスに対して工程数が大幅に増加するため、LSIの製造コスト及び作製日数の大幅な増加を招いている。これに対して、特許文献1には、いわゆるトリプルウエルCMOSプロセスを用いたバイポーラトランジスタを形成することで、工程数の削減を図る技術が記載されている。

【0004】

【特許文献1】 特開2000-3972号公報

【0005】

【発明が解決しようとする課題】

しかしながら、バイポーラトランジスタのベースは、特別の追加工程により形成しており、その分、工程数が増加していた。

【0006】

【課題を解決するための手段】

そこで、本発明はトリプルウエルCMOSプロセスを用い、しかも特別の工程を追加することなく、種々のタイプのバイポーラトランジスタを形成したものである。その主な特徴構成は、P型の半導体基板の表面にNウエルを形成し、その中にPチャネル型トランジスタを形成する。また、Nウエル中にPウエルを形成し、その中にNチャネル型トランジスタを形成する。そして、Nウエルを縦型NPNバイポーラトランジスタのコレクタとして用いるというものである。

【0007】

これに加えて、Pウエルを縦型NPNバイポーラトランジスタまたは横型NPNバイポーラトランジスタのベースとして用いるというものである。

【0008】

【発明の実施の形態】

次に、本発明の実施形態に係る半導体装置について、図面を参照しながら詳細

に説明する。図1及び図2は、本発明の実施形態に係る半導体装置の断面図である。図1は、Nチャネル型MOSトランジスタ10、Pチャネル型MOSトランジスタ20、縦型NPNバイポーラトランジスタ (Vertical NPN BJT) 30を示しており、図2は、横型NPNバイポーラトランジスタ (Lateral NPN BJT) 40、横型PNPバイポーラトランジスタ (Lateral PNP BJT) 50、縦型PNPバイポーラトランジスタ (Vertical PNP BJT) 60を示している。これらの2種類のMOSトランジスタ及び4種類のバイポーラトランジスタはいずれも同一の半導体基板1中に形成されている。

【0009】

次に、図1を参照して、Nチャネル型MOSトランジスタ10、Pチャネル型MOSトランジスタ20、縦型NPNバイポーラトランジスタ30の構造及びその製法について詳しく説明する。

【0010】

P型の半導体基板1の表面にはこれらのトランジスタを電氣的に分離するためのフィールド絶縁膜2が形成されている。また、P型の半導体基板1の表面には第1のNウエル3A、3Bが深く同時に形成されている。その深さは、例えば、P型の半導体基板1の表面から4 μ m程度である。第1のNウエル3Aの中には、Pウエル4Aが形成され、この中に、Nチャネル型MOSトランジスタ10が形成されている。Pウエル4Aは第1のNウエル3Aより浅く形成され、その深さは例えば1 μ m～2 μ mである。Pウエル4Aの表面に、Nチャネル型MOSトランジスタ10のN+のソース層11、N+型のドレイン層12、ゲート絶縁膜、ゲート絶縁膜上のゲート電極13及び、Pウエル4Aの電位設定用のP+層14が形成されている。

【0011】

一方、第1のNウエル3Bは、縦型NPNバイポーラトランジスタ30のコレクタに用いられている。また、第1のNウエル3Bの中には、Pウエル4Bが形成されている。Pウエル4BはPウエル4Aと同時に同一工程で形成される。このPウエル4Bは、縦型NPNバイポーラトランジスタ30のベースに用いられる。Pウエル4Bの表面には、N+型のエミッタ層31、P+型のベース電極層

32が形成されている。

【0012】

また、エミッタ層31とベース電極層32の間には、ゲート絶縁膜を介してゲート電極33が形成されている。ゲート電極33はエミッタ層31と接続されている。更に、第1のNウェル3Bの表面にはP+型のコレクタ層33が形成されている。エミッタ層31とベース電極層32はゲート電極33をマスクとしたイオン注入により形成されるため、ベース電極層32とエミッタ層31との距離は、ゲート電極33の長さによって決められる。

【0013】

また、第1のNウェル3Aの中には、第2のNウェル5Aが形成されている。そして、その中にPチャネル型MOSトランジスタ20が形成されている。第2のNウェル5Aは、第1のNウェル3Aより浅く形成され、その深さは例えば1 μ m \sim 2 μ mである。第2のNウェル5Aの表面には、Pチャネル型MOSトランジスタ20のP+のソース層21、P+型のドレイン層22、ゲート絶縁膜、ゲート絶縁膜上のゲート電極23及び、第2のNウェル5Aの電位設定用のN+層24が形成されている。

【0014】

次に、図2を参照して、横型NPNバイポーラトランジスタ40、横型PNPバイポーラトランジスタ50、縦型PNPバイポーラトランジスタ60の構造及びその製法について詳しく説明する。

【0015】

P型の半導体基板1の表面にはこれらのトランジスタを電氣的に分離するためのフィールド絶縁膜2が形成されている。まず、横型NPNバイポーラトランジスタ40について説明する。P型半導体基板1の表面には、第1のNウェル3Cが形成されている。この第1のNウェル3Cは、前述の第1のNウェル3A、3Bと同時に同一工程で形成されるものである。第1のNウェル3Cの中には、Pウェル4Cが形成されている。このPウェル4Cも前述のPウェル4A、4Bと同時に同一工程で形成されるものである。横型NPNバイポーラトランジスタ40は、第1のNウェル3Cの中に形成されている。Pウェル4Cは、横型NPN

バイポーラトランジスタ 40 のベースに用いられる。P ウエル 4 C の表面には、N+ 型のエミッタ層 41、P+ 型のコレクタ層 42 が形成されている。

【0016】

また、エミッタ層 41 とコレクタ層 42 の間には、ゲート絶縁膜を介してゲート電極 43 が形成されている。ゲート電極 43 はエミッタ層 41 と接続されている。更に、P ウエル 4 C の表面には P+ 型のベース層 44 が形成されている。エミッタ層 41 とコレクタ層 42 とゲート電極 43 をマスクとしたイオン注入により形成されるため、エミッタ層 41 とコレクタ層 42 との距離、すなわちベース幅は、ゲート電極 43 の長さによって決められる。また、第 1 の N ウエル 4 C の表面には第 1 の N ウエル 3 C の電位設定用の N+ 層 45 が形成されている。

【0017】

次に、横型 PNP バイポーラトランジスタ 50 について説明する。第 2 の N ウエル 5 B は、第 2 の N ウエル 5 A と同時に同一工程で形成され、このトランジスタのベースとして用いられる。

【0018】

第 2 の N ウエル 5 B の表面には、P+ 型のエミッタ層 51、P+ 型のコレクタ層 52 が形成されている。エミッタ層 51 とコレクタ層 52 の間には、ゲート絶縁膜を介してゲート電極 53 が形成されている。ゲート電極 53 はエミッタ層 51 と接続されている。更に、第 2 の N ウエル 5 B の表面には N+ 型のベース層 54 が形成されている。エミッタ層 51 とコレクタ層 52 はゲート電極 53 をマスクとしたイオン注入により形成されるため、エミッタ層 51 とコレクタ層 52 との距離、すなわちベース幅は、ゲート電極 53 の長さによって決められる。また、第 2 の N ウエル 5 B と隣接した P 型半導体基板 1 表面には基板電位設定用の P+ 層 55 が形成されている。

【0019】

次に、縦型 PNP バイポーラトランジスタ 60 について説明する。第 2 の N ウエル 5 C は、第 2 の N ウエル 5 A、5 B と同時に同一工程で形成され、このトランジスタのベースとして用いられる。

【0020】

第2のNウエル5Cの表面には、P+型のエミッタ層61、N+型のベース電極層62が形成されている。エミッタ層61とベース電極層62の間には、ゲート絶縁膜を介してゲート電極63が形成されている。ゲート電極63はエミッタ層61と接続されている。エミッタ層61とベース電極層62はゲート電極63をマスクとしたイオン注入により形成されるため、エミッタ層61とコレクタ層62との距離は、ゲート電極63の長さによって決められる。また、第2のNウエル5Cと隣接したP型半導体基板1表面にはP+型のコレクタ層64が形成されている。

【0021】

次に、本実施形態に係る半導体装置の製造方法について説明する。まず、例えばP型シリコン基板等の半導体基板1の表面に、第1のNウエル3A、3B、3Cを形成する。この工程は、例えばリンのイオン注入と、その後の熱拡散により行う。

【0022】

次に、LOCOS法 (Local Oxidation Of Silicon) を用いて、フィールド絶縁膜2を形成する。その後、Pウエル4A、4B、4C、第2のNウエル5A、5B、5Cを形成する。Pウエル4A、4B、4C、第2のNウエル5A、5B、5Cは別々のイオン注入工程で形成し、熱拡散を行う。熱拡散は同時でもよいし、それぞれのイオン注入工程後に別々に行っても良い。

【0023】

その後、熱酸化によりゲート絶縁膜を形成し、必要に応じて、Nチャネル型MOSトランジスタ10及びPチャネル型MOSトランジスタ20のチャネルイオン注入を行う。そして、ゲート絶縁膜上にゲート電極13、23、33、43、53、63を形成する。これらのゲート電極は、ポリシリコン層やポリサイド層によって形成される。

【0024】

その後、燐や砒素のようなN型不純物のイオン注入により、N+層の形成を行う。N+層には、上述したNチャネル型MOSトランジスタのソース層11、ドレイン層、Pチャネル型MOSトランジスタ20のN+層24、縦型NPNバイ

ポーラトランジスタ 30 のエミッタ層 31, コレクタ層 33、横型 NPN バイポーラトランジスタ 40 のエミッタ層 41, コレクタ層 42、N+層 45、横型 PNP バイポーラトランジスタ 50 のベース層 54、縦型 PNP バイポーラトランジスタ 60 のベース電極層 62 が含まれる。

【0025】

また、ボロンや 2 フッ化ボロンのような P 型不純物のイオン注入により、P+層の形成を行う。P+層には、上述した N チャネル型 MOS トランジスタの P+層 14、P チャネル型 MOS トランジスタ 20 のソース層 21, ドレイン層 22、縦型 NPN バイポーラトランジスタ 30 のベース電極層 32、横型 NPN バイポーラトランジスタ 40 のベース層 44、横型 PNP バイポーラトランジスタ 50 のエミッタ層 51, コレクタ層 52、縦型 PNP バイポーラトランジスタ 60 のエミッタ層 61, コレクタ層 64 が含まれる。

【0026】

本実施形態によれば、CMOS トリプルウエルプロセスを用いて、特別な追加工程を用いることなく、CMOS に加えて、4 種類のバイポーラトランジスタ、すなわち、縦型 NPN バイポーラトランジスタ 30、横型バイポーラトランジスタ 40、横型 PNP バイポーラトランジスタ 50、縦型バイポーラトランジスタ 60 を同一半導体基板 1 上に形成することができる。

【0027】

図 3 は、上記の縦型 NPN バイポーラトランジスタ 30 の特性を示す図であり、横軸はコレクタ電流、縦軸は電流増幅率 hFE を示している。この特性図から明らかなように、電流増幅率 hFE は 100、遮断周波数も 1 GHz という、バイポーラプロセスに遜色のない優れた特性を得ることができる。

【0028】

【発明の効果】

本発明によれば、トリプルウエル CMOS プロセスの各種ウエルをバイポーラトランジスタのベースやコレクタに用いることで、BiCMOS プロセスの工程数を大幅に削減することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係る半導体装置の断面図である。

【図 2】

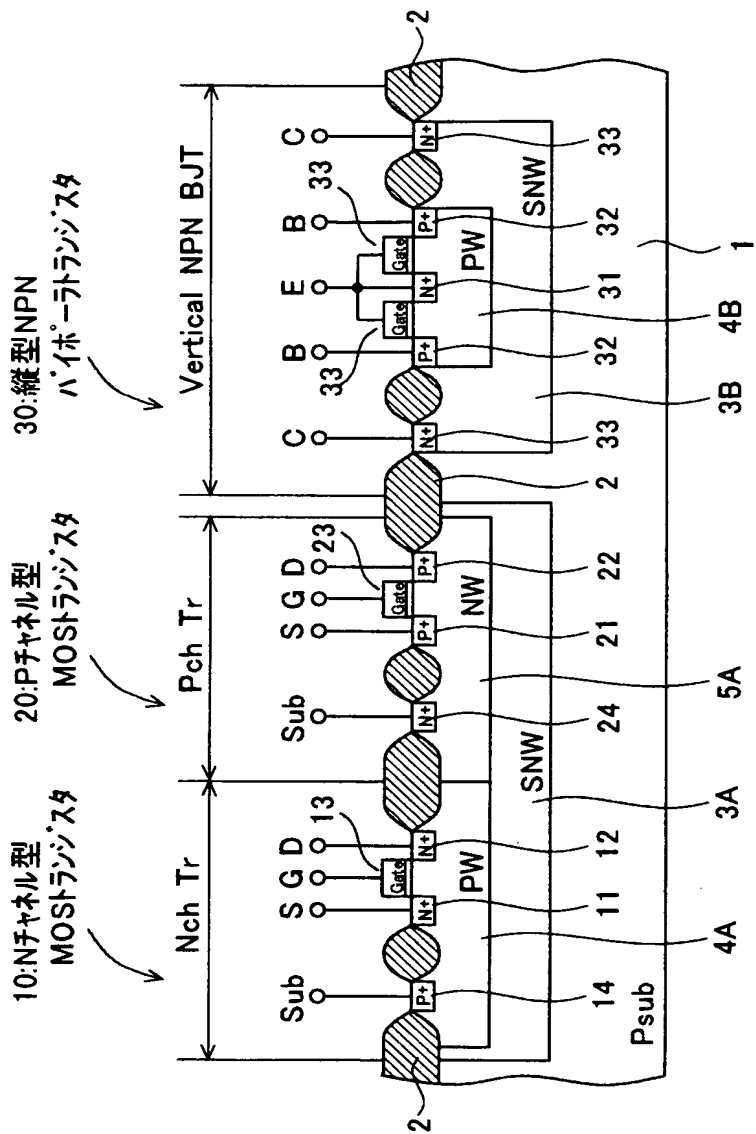
本発明の実施形態に係る半導体装置の断面図である。

【図 3】

本発明の実施形態に係る縦型 N P N バイポーラトランジスタの特性図である。

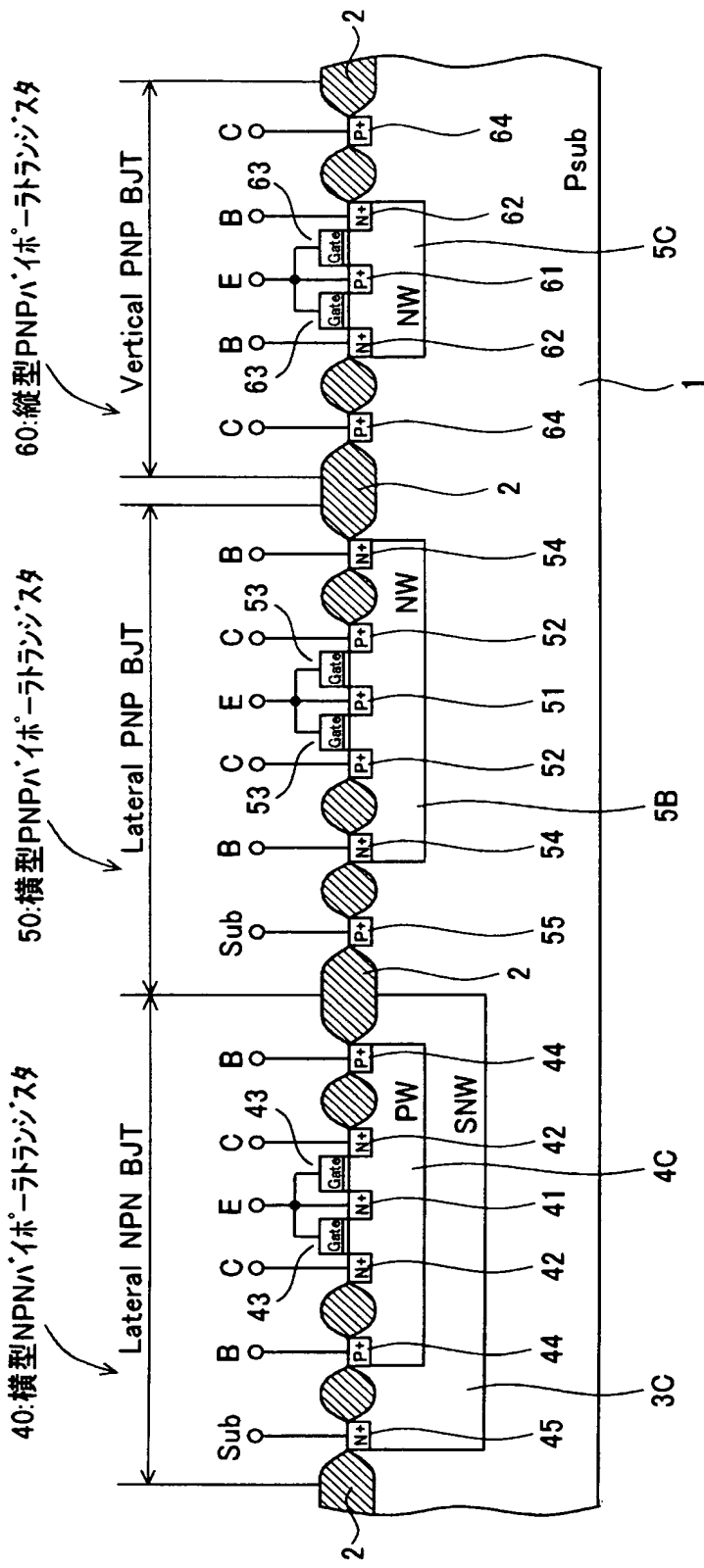
【書類名】 図面

【図 1】



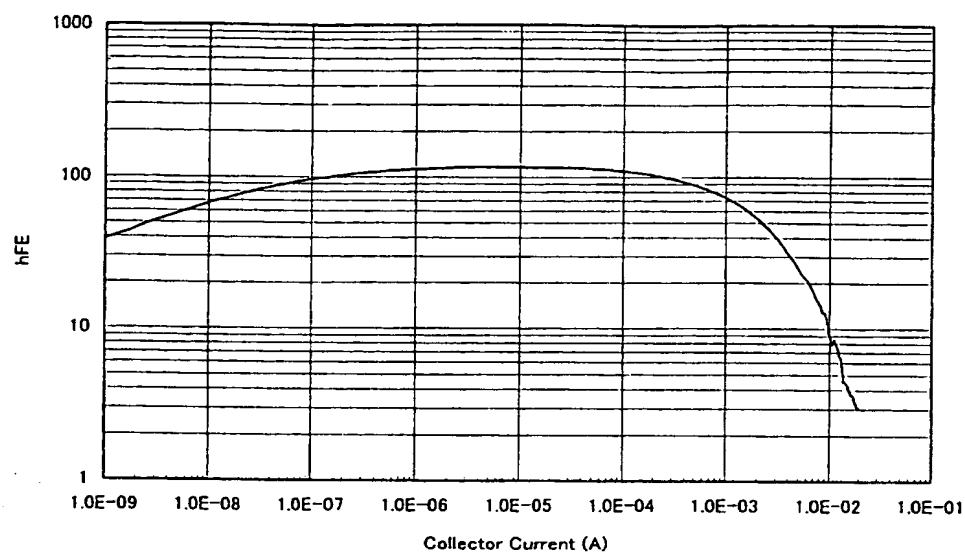
1: P型半導体基板 2: 7層絶縁膜 3A, 3B: 第1のNウェル
4A, 4B: Pウェル 5A: 第2のNウェル

【図 2】



1: P型半導体基板 2: フィールド絶縁膜 3C: 第1のNウェル
4C: Pウェル 5B, 5C: 第2のNウェル

【図 3】



【書類名】 要約書

【要約】

【課題】 B i C M O S プロセスの工程数を削減する。

【解決手段】 P 型の半導体基板 1 の表面には第 1 の N ウエル 3 A, 3 B が深く形成されている。第 1 の N ウエル 3 A の中には、P ウエル 4 A が形成され、この P ウエル 4 A 中に N チャネル型 M O S トランジスタ 1 0 が形成されている。第 1 の N ウエル 3 B は、縦型 N P N バイポーラトランジスタ 3 0 のコレクタに用いられている。第 1 の N ウエル 3 B の中には、P ウエル 4 B が形成されている。P ウエル 4 B は P ウエル 4 A と同時に形成される。この P ウエル 4 B は、縦型 N P N バイポーラトランジスタ 3 0 のベースに用いられる。P ウエル 4 B の表面には、縦型 N P N バイポーラトランジスタ 3 0 の N + 型のエミッタ層 3 1、P + 型のベース電極層 3 2 が形成されている。

【選択図】 図 1

特願 2003-102692

出願人履歴情報

識別番号

[000001889]

1. 変更年月日

1990年 8月24日

[変更理由]

新規登録

住 所

大阪府守口市京阪本通2丁目18番地

氏 名

三洋電機株式会社

2. 変更年月日

1993年10月20日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通2丁目5番5号

氏 名

三洋電機株式会社